[Document title]

[Document subtitle]

Gabriel Baigorri

[Year]

Contents

**No table of contents entries found.**

**No table of figures entries found.**

**No table of figures entries found.**

# Objetivo

* Interpretación de información especificada en hojas de datos o especificaciones de diseño
* Utilización de las instrucciones secuenciales, concurrentes y paquetes aprendidos en clase.
* Comprensión de la metodología de diseño jerárquico (top-to-down).
* Uso de archivo de restricción para asignar los pines E/S del FPGA vinculados a hardware del board DE2-115.
* Uso de sincronizadores.
* Escritura de restricción de tiempo, frecuencia de trabajo del sistema, en el archivo de restricción.
* Uso y escritura de test bench para verificar funcionalmente el correcto comportamiento de un sistema descrito en VHDL.
* Utilización de la herramienta *MegaWizard* para la generación de un divisor de frecuencia basado en PLL.
* Configuración del FPGA del board DE2-115 con el código VHDL correspondiente.

# Desarrollo

## Parte A

### Consigna

Realizar la descripción en VHDL de un contador tipo LFSR de 4 bits.

* Genere y trate de comprender el circuito *RTL View*.
* Verifique su funcionalidad con un test bench ejecutando su simulación funcional y simulación post-place & route (gate level simulation).

### Resolución

Primeramente se buscó un modelo de contador LFSR de 4 bits, encontrándose el mostrado en la Figura 1, cuya tabla Estado-Salida se observa en la Tabla 1.

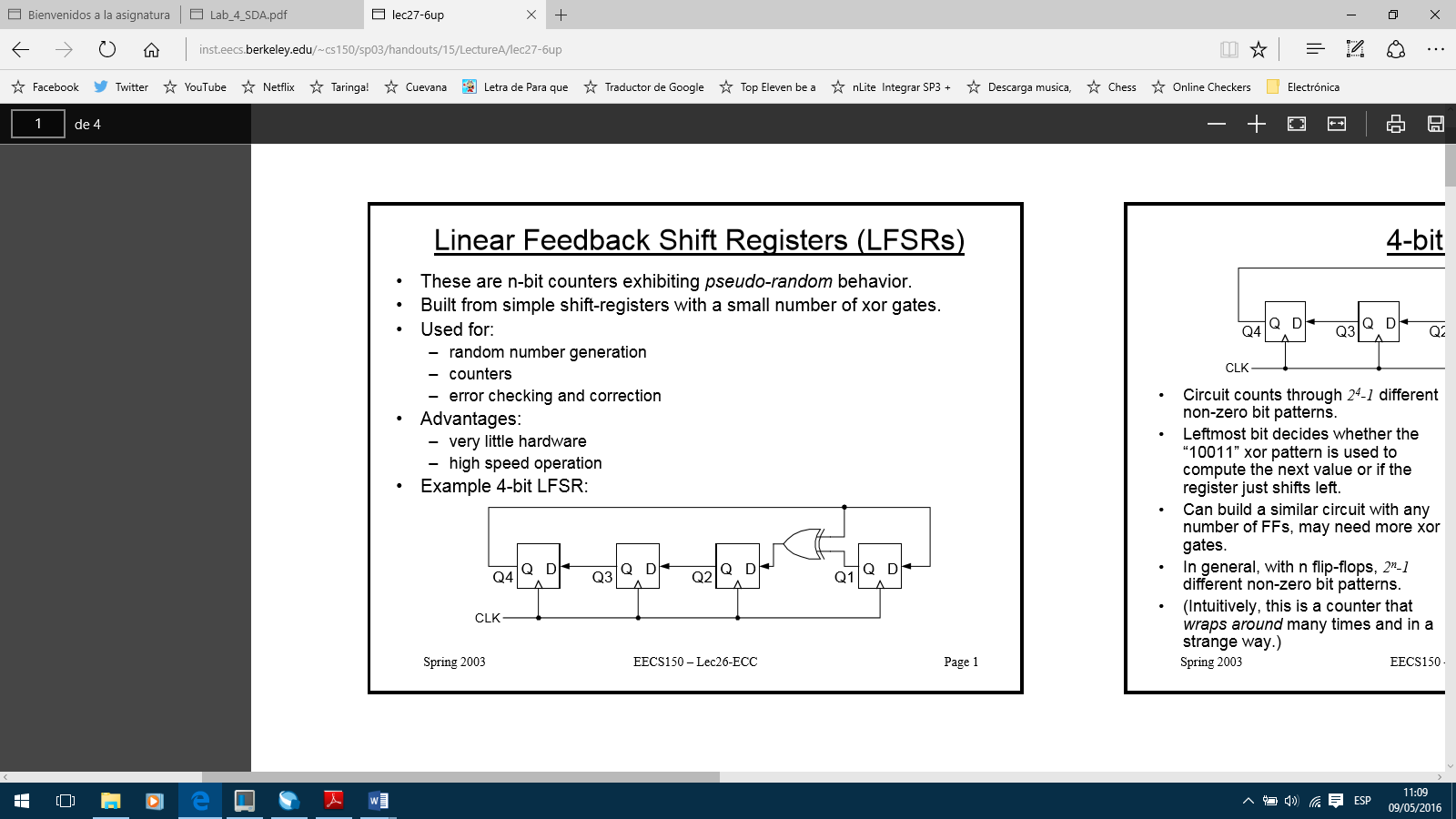


Figura 1

Tabla 1

|  |  |
| --- | --- |
| Estado | Salida |
| 1 | 1111 |
| 2 | 1101 |
| 3 | 1001 |
| 4 | 0001 |
| 5 | 0010 |
| 6 | 0100 |
| 7 | 1000 |
| 8 | 0011 |
| 9 | 0110 |
| 10 | 1100 |
| 11 | 1011 |
| 12 | 0101 |
| 13 | 1010 |
| 14 | 0111 |
| 15 | 1110 |

Con ello se procedió a realizar el modelo de Flip Flop D, descripto en el Apéndice A. Se debe aclarar que se usó una entrada de seteo, y no de reseteo, debido a que el estado “0000” no pertenece a la secuencia del contador.

Obtenido el modelo del Flip Flop, se sintetizó el contador LFSR, mostrado en la Figura 2.

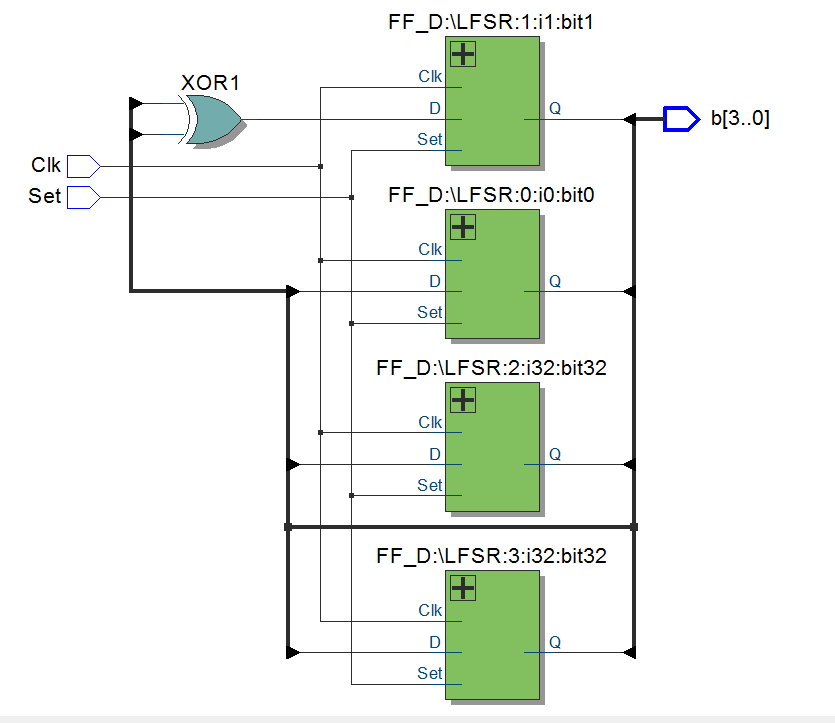


Figura 2

### Simulación y Test-Bench

Se realizó el código Test-Bench, el cual setea todas las salidas y luego espera 16 flancos de reloj. Luego se comprobó que la secuencia generada fuese coincidente con la tabla de estados del contador mostrada anteriormente. El código mencionado se encuentra en el Apéndice B.

La formas de onda de entradas y salidas para la simulación funcional se observan en la Figura 3, mientras que para la simulación Post - Place & Route sólo se observará el retardo clock-out, en la Figura 4, siendo de aproximadamente 6.75ns.

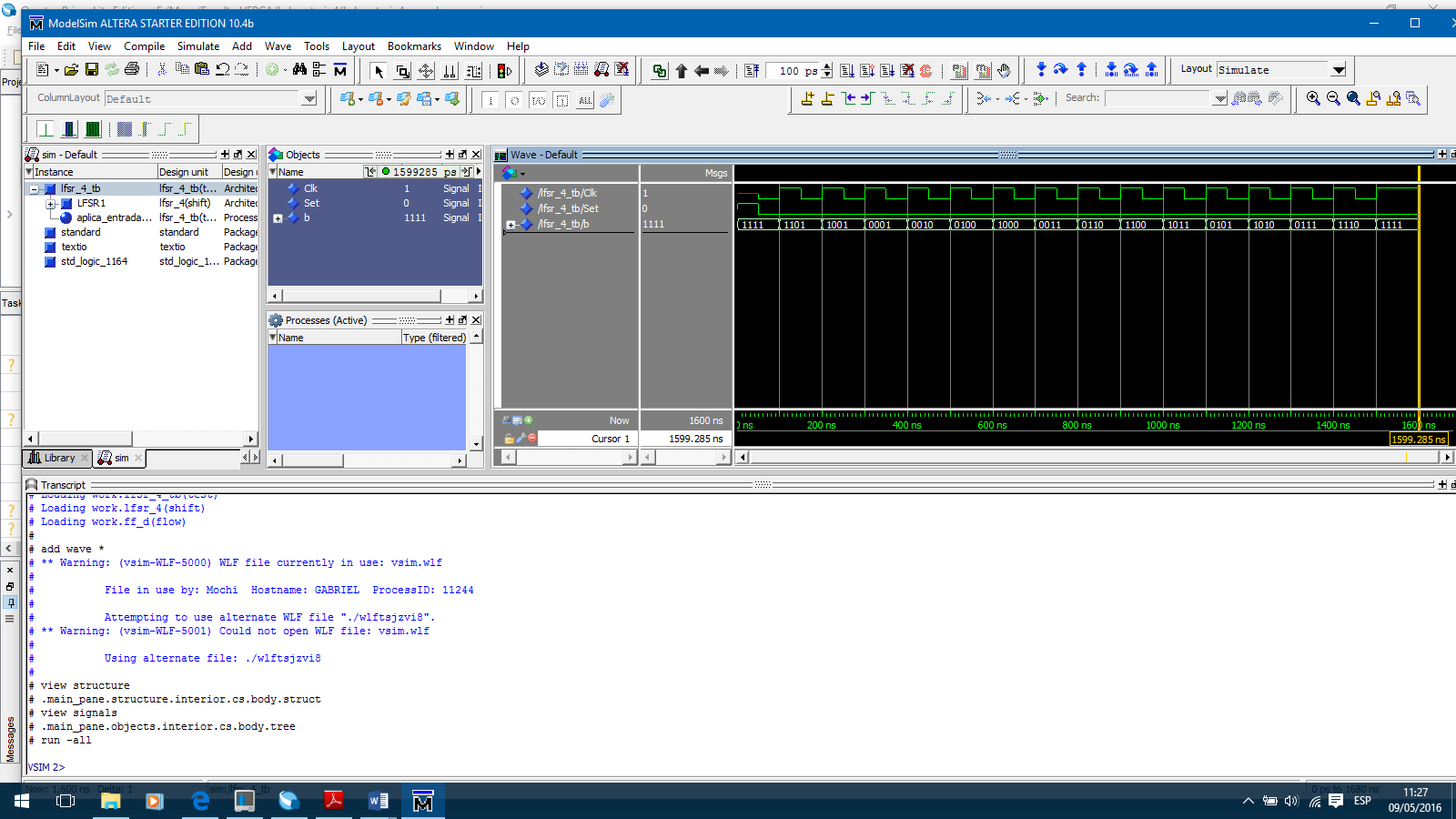


Figura 3

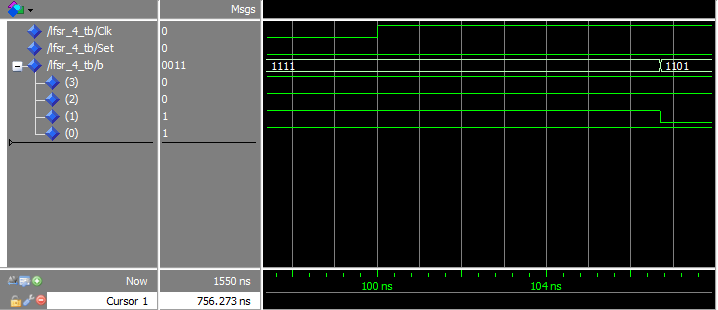


Figura 4

## Parte B

### Consigna

El Kit de desarrollo DE2-115 tiene un oscilador de 50MHz como entrada de reloj al FPGA. Realice un divisor de frecuencias para obtener las siguientes frecuencias: 0.1Hz, 0.5Hz, 1Hz, 2Hz y 5Hz.

* Describa en VHDL el divisor de frecuencia, usando constantes para los diferentes valores máximos del divisor.
* Como selector de frecuencia de salida use las llaves (switches) disponibles en el board.
* Sincronice las entradas asincrónicas con la frecuencia del reloj de entrada al FPGA.
* Utilice el módulo de conversor BCD-7Segmentos del laboratorio anterior para mostrar en los display 7 segmentos la frecuencia seleccionada por la llave respectiva (no hace falta usar el punto; por ejemplo para 0.5 muestre 05).
* Para cada combinación de las llaves (switches), la frecuencia seleccionada deberá excitar el LED\_0 del board
* Compruebe el funcionamiento funcional del código VHDL con un Test Bench. Analice que pasa con el tiempo real y el tiempo de simulación cuando simule su circuito.
* Escriba el correspondiente archivo de restricciones (constraints file). Recuerde detallar en el constraint file la frecuencia de trabajo de su sistema.
* Compruebe la correcta asignación de la señales de entrada/salida con los respectivos I/O pads del FPGA revisando el PAD report.
* Genere el bitstream y configure el FPGA.
* Compruebe el correcto funcionamiento del sistema al cambiar las llaves seleccionadoras de frecuencia como así también la correcta indicación del valor de frecuencia en los display 7 segmentos respectivos.

# Apéndices

## Apéndice A

## Apéndice B